

JP04365094 A
LIQUID CRYSTAL PANEL DRIVING DEVICE
CASIO COMPUT CO LTD

Abstract:

PURPOSE: To improve the response speed of a liquid crystal panel and quickly follow an image changed abruptly. **CONSTITUTION:** An image memory 11 storing one frame of display digital image data and a ROM 12 storing the table of the image data corresponding to two inputs of the above digital image data and the image data read delayingly by one frame from the image memory 11 are provided on a liquid crystal panel driving device displaying images with an accumulatively responding liquid crystal panel, when the image data are changed, the optimum image data stored in advance are read out in response to the direction and degree of the change to drive the liquid crystal panel, and the rising or trailing of the light transmittance is made steep within the necessary and sufficient range.

COPYRIGHT: (C)1992,JPO&Japio

Inventor(s):

MORI HIDEKI

Application No. 03140269 JP03140269 JP, **Filed** 19910612, **A1 Published** 19921217

Int'l Class: G09G00336

G02F001133

Patents Citing This One (1):

- US6778160 B2 20040817 International Business Machines Corporation
Liquid-crystal display, liquid-crystal control circuit, flicker inhibition method, and liquid-crystal driving method



Home



Search



List

Back to
Record

MicroPatent® PatSearch FullText: Record 2 of 2

Family of JP4365094A

[How It Works](#)

MicroPatent® Family Lookup

Stage 1 Patent Family - "Complex"				Priorities and Applications			
CC	Document Number	KD	Publication Date	CC	Application or Priority Number	KD	Application or Priority Date
<input type="checkbox"/>	DE 69216467	D1	19970220	DE	69216467	A	19920416
				JP	11083191	A	19910417
				JP	14026991	A	19910612
				JP	26318891	A	19910913
				JP	27659791	A	19910926
<input type="checkbox"/>	DE 69216467	T2	19970424	DE	69216467	T	19920416
				JP	11083191	A	19910417
				JP	14026991	A	19910612
				JP	26318891	A	19910913
				JP	27659791	A	19910926
<input type="checkbox"/>	EP 0513551	A2	19921119	EP	92106686	A	19920416
				JP	11083191	A	19910417
				JP	14026991	A	19910612
				JP	26318891	A	19910913
				JP	27659791	A	19910926
<input type="checkbox"/>	EP 0513551	A3	19930623	EP	92106686	A	19920416
				JP	11083191	A	19910417
				JP	14026991	A	19910612
				JP	26318891	A	19910913
				JP	27659791	A	19910926
<input type="checkbox"/>	EP 0513551	B1	19970108	EP	92106686	A	19920416
				JP	11083191	A	19910417
				JP	14026991	A	19910612
				JP	26318891	A	19910913
				JP	27659791	A	19910926
<input type="checkbox"/>	JP 4365094	A	19921217	JP	14026991	A	19910612
				US	86674492	A	19920410

<input type="checkbox"/> US 5347294 A 19940913	JP 11083191 A 19910417 JP 14026991 A 19910612 JP 26318891 A 19910913 JP 27659791 A 19910926
<input type="checkbox"/> US 5465102 A 19951107	JP 11083191 A 19910417 JP 14026991 A 19910612 JP 26318891 A 19910913 JP 27659791 A 19910926 US 23844494 A 19940505 US 86674492 A 19920410
<input type="checkbox"/> US 5844533 A 19981201	JP 11083191 A 19910417 JP 14026991 A 19910612 JP 26318891 A 19910913 JP 27659791 A 19910926 US 23844494 A 19940505 US 53186995 A 19950921 US 86674492 A 19920410 US 89248297 A 19970714

9 Publications found.

Information on the left side of the table relates to publication number, kind, and date; information on the right

covers the corresponding application and priority data for each publication.

Legend: CC=Country Code KD=Kind (Publication kind can differ from application/priority kind.)

[Order Selected Documents](#)

[Display the Extended Patent Family](#)

Copyright © 2004, MicroPatent, LLC. The contents of this page are the property of MicroPatent, LLC including without limitation all text, html, asp, javascript and xml. All rights herein are reserved to the owner and this page cannot be reproduced without the express permission of the owner.



Home



Search



List



Back to
Record

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-365094

(43) 公開日 平成4年(1992)12月17日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 0 5	7820-2K		

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平3-140269

(22) 出願日 平成3年(1991)6月12日

(71) 出願人 000001443

カシオ計算機株式会社
東京都新宿区西新宿2丁目6番1号

(72) 発明者 森 秀樹

東京都八王子市石川町2951番地の5 カシ
オ計算機株式会社八王子研究所内

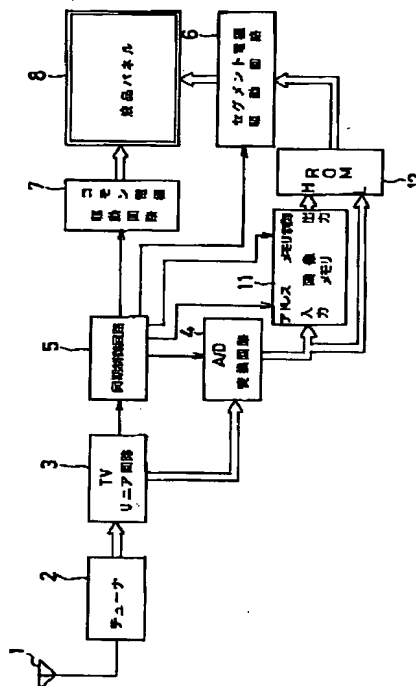
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 液晶パネル駆動装置

(57) 【要約】

【目的】 液晶パネルの応答速度を高め、急激に変化する画像に対しても迅速に追従させる。

【構成】 累積応答する液晶パネルを用いて画像を表示する液晶パネル駆動装置において、表示用デジタル画像データを1フレーム分記憶する画像メモリ11と、上記デジタル画像データと上記画像メモリ11から1フレーム遅れて読出される画像データの2入力に対応する画像データのテーブルを記憶したROM12とを備え、画像データが変化した場合にはその変化の方向と度合いに応じて予め格納してある最適な画像データを読出して液晶パネルを駆動し、その光透過率の立上りあるいは立下がりが必要な十分な範囲で急峻とさせる。



【特許請求の範囲】

【請求項1】 液晶パネルを用いて画像を表示する液晶パネル駆動装置において、デジタル画像データが入力され、この画像データを1フレーム分記憶する画像メモリと、上記デジタル画像データと上記画像メモリから1フレーム遅れて読出される画像データの2入力によって決定される画像データのテーブルを記憶した画像テーブルと、上記2入力に対応して上記画像テーブルから読出されてくる画像データに基づき、上記液晶パネルを表示駆動する駆動手段とを具備したことを特徴とする液晶パネル駆動装置。

【請求項2】 液晶パネルを用いて画像を表示する液晶パネル駆動装置において、デジタル画像データが入力され、この画像データを1フレーム分記憶する画像メモリと、上記デジタル画像データと上記画像メモリから1フレーム遅れて読出される画像データとを比較して階調差信号を出力する一方、今回の画像データが最大階調または最小階調であるか、あるいは1フレーム遅れて読出される画像データから階調変化のない場合と、今回の画像データと1フレーム遅れて読出される画像データとの階調変化が特定範囲以内である場合と、今回の画像データと1フレーム遅れて読出される画像データとの階調変化が特定範囲より大きい場合とを識別する識別信号を出力する比較回路と、上記識別信号により階調変化が特定範囲以内である場合には上記今回の画像データと上記階調差信号により指定アドレスを決定するアドレスデコーダと、上記アドレスデコーダからの指定アドレスに対応する画像データのテーブルを予め記憶した画像テーブルと、上記比較回路からの識別信号により上記今回の画像データ、最大階調の画像データ、最小階調の画像データ、上記画像テーブルから読出されてくる画像データのいずれかを選択するセレクトと、このセレクトから送られてくる画像データに基づき、上記液晶パネルを表示駆動する駆動手段とを具備したことを特徴とする液晶パネル駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数回のデータラッチにより液晶パネルを表示駆動する液晶パネル駆動装置に関する。

【0002】

【従来の技術】 従来の液晶テレビは、一般に図8に示すように構成されている。同図において1はテレビアンテナで、このテレビアンテナ1により受信されたテレビ放送電波は、チューナ2に入力される。このチューナ2は、受信電波の中から指定チャンネルの電波を選択し、中間周波信号に変換してテレビリニア回路3に出力する。このテレビリニア回路3は、チューナ2からの中間周波信号よりビデオ信号と垂直同期信号及び水平同期信号を取り出し、ビデオ信号をA/D変換器4へ、垂直同期

信号及び水平同期信号を同期制御回路5へそれぞれ出力する。この同期制御回路5は、上記垂直同期信号及び水平同期信号から各種タイミング信号を作成し、A/D変換器4、セグメント駆動回路6、コモン駆動回路7へ出力する。

【0003】 上記A/D変換器4は、同期制御回路5からのサンプリングクロックに同期してビデオ信号を数ビットのデジタルデータに変換し、セグメント駆動回路6へ出力する。このセグメント駆動回路6は、A/D変換器4からのデータに従って階調信号を作成すると共に、さらにこの階調信号に基づいてセグメント電極駆動信号を作成し、マトリックス型の液晶パネル8のセグメント電極を表示駆動する。また、コモン駆動回路7は、同期制御回路5からのタイミング信号に従ってコモン電極駆動信号を再生し、液晶パネル8のコモン電極を順次選択的に駆動する。

【0004】

【発明が解決しようとする課題】 上記のようにして受信したビデオ信号に基づいて液晶パネル8が駆動されるが、この液晶パネル8は図9に示すように累積応答効果によって作動するため、応答速度が遅いという性質がある。上記図9は、階調が「7」及び「0」の場合の液晶駆動電圧合成波形と液晶パネル8の光透過率との関係を示したものである。これに対し、上記従来の液晶パネル駆動方法では、図9に示したように単にビデオ信号に対応した階調信号を作成して液晶パネル8を駆動しているだけであるので、液晶パネル8の応答特性を改善できず、速く動く画像に対応できないという問題があった。

【0005】 本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、液晶パネルの階調変化の応答速度を向上し得る液晶パネル駆動装置を提供することにある。

【0006】

【課題を解決するための手段及び作用】 すなわち本発明は、累積応答する液晶パネルを用いて画像を表示する液晶パネル駆動装置において、入力されたデジタル画像データを1フレーム分記憶する画像メモリと、上記デジタル画像データと上記画像メモリから1フレーム遅れて読出される画像データの2入力によって決定される画像データのテーブルを記憶したROM等からなる画像テーブルとを備え、上記2入力に対応して上記ROMから読出されてくる画像データに基づいて上記液晶パネルを表示駆動するようにしたものである。

【0007】 上記のような構成とすることにより、画像データが変化した場合にはその変化の方向と度合いに応じて予め格納してある最適な画像データが読出されて液晶パネルが駆動され、その光透過率の立上りあるいは立下がりが必要十分な範囲で急峻となる。この結果、液晶パネルの応答速度を高めることができ、急激に変化する画像に対しても迅速に追従させることが可能となる。

3

【0008】また本発明は、累積応答する液晶パネルを用いて画像を表示する液晶パネル駆動装置において、入力されたデジタル画像データを1フレーム分記憶する画像メモリと、上記デジタル画像データと上記画像メモリから1フレーム遅れて読出される画像データとをレベル比較して階調差信号を出力する一方、今回の画像データが最大階調または最小階調であるか、あるいは1フレーム遅れて読出される画像データから階調変化のない場合と、今回の画像データと1フレーム遅れて読出される画像データとの階調変化が特定範囲以内である場合と、今回の画像データと1フレーム遅れて読出される画像データとの階調変化が特定範囲より大きい場合とを識別する識別信号を出力する比較回路と、上記識別信号により階調変化が特定範囲以内である場合には上記今回の画像データと上記階調差信号により指定アドレスを決定するアドレスデコーダと、上記アドレスデコーダからの指定アドレスに対応する画像データのテーブルを予め記憶したROMと、上記比較回路からの識別信号により上記今回の画像データ、最大階調の画像データ、最小階調の画像データ、上記ROMから読出されてくる画像データのい

10

20

ずれかを選択するセクタとを備え、このセクタから送られてくる画像データに基づき、上記液晶パネルを表示駆動するようにしたものである。

【0009】上記のような構成とすることにより、階調変化が特定範囲以内である場合の今回の画像データと階調差信号に対応する画像データのテーブルのみをROMに記憶させておけばよいので、記憶容量の小さなROMを使用しながらも、液晶パネルの応答速度を高めることができ、急激に変化する画像に対しても迅速に追従させることが可能となる。

【0010】なお、本願明細書中に言う「フレーム」とは、1画面を構成するべき絵素すべてが走査されることを示し、例えばテレビ信号の1フィールド毎に1画面を構成するべき絵素すべてを1通り走査して表示を行なう表示装置においては、テレビ信号の1フィールドと本願中に言う1フレームは等しいとみなし、テレビ信号において一般に用いる「フレーム」とは必ずしも一致しないものとする。

【0011】

【実施例】

【第1実施例】以下図面を参照して本発明の第1実施例を説明する。

【0012】図1は本発明の第1実施例を液晶テレビに実施した場合の例について示すもので、上記図9と同一部分には同一符号を付してその説明は省略する。ここでは、図1に示すようにA/D変換器4の出力側に画像メモリ11及びROM12を設けている。上記画像メモリ11は1フレーム分の画像データを格納できるデュアルポートメモリで、同期制御回路5から与えられるメモリアドレス及び書込み/読出し命令に従って動作し、A/D変換

50

4

器4から送られてくる例えば3ビットの画像データを順次記憶して1フレーム後にROM12のアドレス端子H(High)に順次出力する。また、このROM12のアドレス端子L(Low)には、A/D変換器4から出力される画像データが入力される。このROM12には、今回の画像データと1フレーム前の画像データによる応答速度を向上させるのに最適な画像データがテーブルの形で予め記憶されており、アドレス端子H、Lにより選択されるアドレスに対応する例えば3ビットの画像データD1～D3がセグメント駆動回路6へ出力される。次に上記第1実施例の動作を説明する。

【0013】図2は上記ROM12に記憶されている画像データのテーブルを示すものである。A/D変換器4から直接入力される3ビットの画像データA2～A0をLowアドレス、画像メモリ11を介して1フレーム分遅延されて入力される3ビットの画像データA5～A3をHighアドレスとして、テーブル上のアドレス指定される位置に該当する「0」～「7」のいずれかの画像データが読出され、3ビットの画像データD1～D3としてセグメント駆動回路6へ出力される。

【0014】図3は、上記図2に示すテーブルに従ってフレーム番号「0」～「9」のタイミングで、A/D変換器4から出力される画像データとこれに対応して画像メモリ11からROM12へ出力される画像データとを例示したものである。図中に示すように、例えばフレーム「0」にA/D変換器4から出力された画像データの階調が「0」であり、フレーム「1」にA/D変換器4から出力される画像データの階調が「4」であれば、フレーム「1」のタイミングではROM12のHighアドレスに階調「0(000)」が、Lowアドレスに階調「4(100)」が入力される。したがって、上記図2のテーブルによりROM12からは階調「6(110)」が画像データD1～D3として読出され、セグメント駆動回路6へ出力される。

30

40

【0015】次にフレーム「2」では、ROM12のHighアドレスに階調「4(100)」が、Lowアドレスに階調「7(111)」が入力されるので、同様にROM12からは階調「7(111)」が画像データD1～D3として読出され、セグメント駆動回路6へ出力される。

【0016】以下同様に動作し、結果としてA/D変換器4から出力される画像データの階調が画像メモリ11から出力される1フレーム前の画像データの階調よりも高い場合には、階調が高い方向に変化していることとなるので、その時の実際の階調よりも若干高い階調の画像データがROM12より読出され、セグメント駆動回路6に出力される。反対にA/D変換器4から出力される画像データの階調が画像メモリ11から出力される1フレーム前の画像データの階調よりも低い場合には、階調が低い方向に変化していることとなるので、その時の実際の階

調よりも若干低い階調の画像データがROM12より読まれ、セグメント駆動回路6に出力される。こうして、画像データの階調が変化した場合にはその変化の方向と度合いに応じてROM12に予め格納してある画像データが読出されて液晶パネル8が駆動され、その光透過率の立上りあるいは立下がり急峻となる。したがって、液晶パネル8の応答速度を高めることができ、急激に変化する画像に対しても迅速に追従させることが可能となる。

【第2実施例】以下図面を参照して本発明の第2実施例を説明する。

【0017】図4は本発明の第2実施例を液晶テレビに実施した場合の例について示すもので、上記図9と同一部分には同一符号を付してその説明は省略する。ここでは、図4に示すようにA/D変換器4の出力側に画像メモリ21、比較回路22、アドレスデコーダ23、ROM24及びセクタ25を設けている。

【0018】上記画像メモリ21は1フレーム分の画像データを格納できるデュアルポートメモリで、同期制御回路5から与えられるメモリアドレス及び書き込み/読出し命令に従って動作し、A/D変換器4から送られてくる例えば3ビットの画像データを順次記憶して1フレーム後に比較回路22の入力端子Vに順次出力する。また、この比較回路22の入力端子Uには、A/D変換器4から出力される画像データが直接入力される。比較回路22は、入力端子Uの今回の画像データから入力端子Vの1フレーム前の画像データを減算比較し、その比較結果である階調差信号を出力端子Rよりアドレスデコーダ23の入力端子Bへ送出すると共に、比較結果に応じた識別信号S0、S1をセクタ25へ送出する。アドレスデコーダ23は、入力端子AにA/D変換器4からの画像データが直接入力されており、図示しない制御系からのモード信号によって上記入力端子Aと入力端子Bに与えられる信号に対応した指定アドレスを生成し、出力端子YよりROM24のアドレス端子に出力する。ROM24は、このアドレスデコーダ23からの指定アドレスに従って予め記憶していた画像データを読出し、セクタ25の入力端子Jに送出する。セクタ25では、上記比較回路22からの識別信号S0、S1に応じて、上記A/D変換器4から入力端子Iに直接入力される画像データ、入力端子Kに入力される最大階調の画像データ「7」、ROM24から入力端子Jに入力される画像データ、入力端子Lに入力される最小階調の画像データ「0」の4入力の中からいずれかを選択し、出力端子Pより上記セグメント駆動回路6へ出力する。次に上記第2実施例の動作を説明する。

【0019】図5は上記比較回路22での比較結果に応じた出力信号を示すものである。比較回路22は、入力端子Uに入力されるA/D変換器4からの今回の画像データが最大階調「7」である場合には入力端子Vに入力される画像メモリ21からの1フレーム分前の時点での画像デ

ータの階調に関係なく無条件でセクタ25への識別信号S0を「0」（ローレベル）、S1を「1」（ハイレベル）とする。同様に今回の画像データが最小階調「0」である場合には、1フレーム分前の画像データに関係なく無条件でセクタ25への識別信号S0、S1を共に「1」とする。

【0020】また、比較回路22は、今回の画像データが「7」「0」ではなく、且つ、1フレーム分前の時点での画像データの階調との比較結果が「(+)4」以上であった場合あるいは「-4」以下であった場合に、画像データが急激に変化したこととなるので、出力端子Rからアドレスデコーダ23への階調差信号を出力せず、セクタ25への識別信号S0、S1のみを図7に示すような値として出力する。同様に、該比較結果が「0」であった場合は、逆に画像データがまったく変化していないこととなるので、出力端子Rからアドレスデコーダ23への階調差信号と識別信号S0、S1を共に出力しない。

【0021】さらに、該比較結果が「(+)1」～「(+)3」あるいは「-3」～「-1」であった場合は、画像データが特定範囲内で変化したこととなるので、比較回路22は出力端子Rからアドレスデコーダ23への階調差信号「U-V」を出力すると共に、セクタ25への識別信号S0、S1を図中に示すような値として出力する。

【0022】アドレスデコーダ23は、通常モードでは入力端子Aに直接入力されるA/D変換器4からの画像データと入力端子Bに入力される比較回路22からの階調差信号に応じて指定アドレスを生成し、出力端子YよりROM24のアドレス端子に出力する。ROM24は、このアドレスデコーダ23からのアドレス指定に従って予め記憶していた画像データを読出し、セクタ25の入力端子Jに送出する。図7はこうしてアドレスデコーダ23の入力端子A、Bに入力される信号とROM24から読出される画像データの対応を示すもので、今回の画像データが「1」～「6」で、階調差信号の値が「+1」～「+3」、「-3」～「-1」の場合に必要な、実際の階調よりも若干変化の度合いを強調した階調の画像データのみをROM24に予め記憶させておき、これを読出すこととする。

【0023】セクタ25は、比較回路22からの識別信号S0、S1に応じて図6に示すように入力端子I、J、K、Lより入力される画像データの中から1つを選択して出力端子Pよりセグメント駆動回路6へ出力する。以下、このセクタ25の選択内容について詳述する。

1) S1 = 「0」、S1 = 「0」の場合

【0024】この場合、A/D変換器4からの今回の画像データの階調と1フレーム前の画像データの階調が同じで階調に変化がないことになるので、セクタ25は入力端子IにA/D変換器4から直接入力される今回の画像データをそのまま出力端子Pより出力する。

11) S1="0", S1="1"の場合

【0025】この場合、比較回路22の出力端子Rから出力される階調差信号「U-V」の値が「+1」～「+3」、「-3」～「-1」のいずれかであり、今回の画像データと1フレーム前の画像データとで特定範囲内の変化があったこととなるので、セクタ25は入力端子JにROM24から入力される上記図7で示した若干階調の変化を強調した画像データを出力端子Pより出力する。

111) S1="1", S1="0"の場合

【0026】この場合、今回の画像データが最大階調「7」であるか、比較回路22の出力端子Rから出力される階調差信号「U-V」の値が「4」以上であったこととなるので、セクタ25は入力端子Kに入力される画像データの最大階調「7」を出力端子Pより出力する。

1111) S1="1", S1="1"の場合

【0027】この場合、今回の画像データが最小階調「0」であるか、比較回路22の出力端子Rから出力される階調差信号「U-V」の値が「-4」以下であったこととなるので、セクタ25は入力端子Lに入力される画像データの最小階調「0」を出力端子Pより出力する。

【0028】このように、今回の画像データと1フレーム前の画像データとで特定範囲内の変化があった場合のみ、ROM24に予め記憶させた若干階調の変化を強調した画像データを読み出し、その他の場合は画像データの内容と1フレーム前の画像データからの変化の度合いとで今回の画像データか、あるいは最大階調、最小階調の画像データをセグメント駆動回路6に出力するようにしたので、ROM24に予め記憶させておく画像データの量を大幅に減少させてROM24の必要な記憶容量を小さくすることができる。

【0029】例えば、画像データを3ビットとした場合、ただ単に今回の画像データと1フレーム前の画像データとから適度に強調を施した画像データを得るようにROM24に画像データのテーブルを予め記憶させる場合、ROM24としては8×8で64個分のアドレスに対応した分の記憶容量が必要となるが、上記図7では6×6で36個分のアドレスに対応した分の記憶容量のみで同様の効果を得ることができる。

【0030】

【発明の効果】以上詳記した如く本発明によれば、累積応答する液晶パネルを用いて画像を表示する液晶パネル駆動装置において、入力されたデジタル画像データを1フレーム分記憶する画像メモリと、上記デジタル画像データと上記画像メモリから1フレーム遅れて読出される画像データの2入力によって決定される画像データのテーブルを記憶したROM等からなる画像テーブルとを備え、上記2入力に対応して上記ROMから読出されてくる画像データに基づいて上記液晶パネルを表示駆動するようにしたもので、画像データが変化した場合にはその変化の方向と度合いに応じて予め格納してある最適な画

像データを読み出して液晶パネルを駆動し、その光透過率の立上りあるいは立下がりが必要十分な範囲で急峻として液晶パネルの応答速度を高め、急激に変化する画像に対しても迅速に追従させることができる。

【0031】また本発明によれば、累積応答する液晶パネルを用いて画像を表示する液晶パネル駆動装置において、入力されたデジタル画像データを1フレーム分記憶する画像メモリと、上記デジタル画像データと上記画像メモリから1フレーム遅れて読出される画像データとをレベル比較して階調差信号を出力する一方、今回の画像データが最大階調または最小階調あるか、あるいは1フレーム遅れて読出される画像データから階調変化のない場合と、今回の画像データと1フレーム遅れて読出される画像データとの階調変化が特定範囲以内である場合と、今回の画像データと1フレーム遅れて読出される画像データとの階調変化が特定範囲より大きい場合とを識別する識別信号を出力する比較回路と、上記識別信号により階調変化が特定範囲以内である場合には上記今回の画像データと上記階調差信号により指定アドレスを決定するアドレスデコーダと、上記アドレスデコーダからの指定アドレスに対応する画像データのテーブルを予め記憶したROMと、上記比較回路からの識別信号により上記今回の画像データ、最大階調の画像データ、最小階調の画像データ、上記ROMから読出されてくる画像データのいずれかを選択するセクタとを備え、このセクタから送られてくる画像データに基づき、上記液晶パネルを表示駆動するようにしたので、階調変化が特定範囲以内である場合の今回の画像データと階調差信号に対応する画像データのテーブルのみをROMに記憶させておけばよいので、記憶容量の小さなROMを使用しながらも、液晶パネルの応答速度を高めることができ、急激に変化する画像に対しても迅速に追従させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の回路構成を示すブロック図。

【図2】図1のROMに記憶される画像データテーブルを示す図。

【図3】フレームの移行に対応して変化する画像データの状態を示す図。

【図4】本発明の第2実施例の回路構成を示すブロック図。

【図5】図4の比較回路が出力する識別信号の内容を示す図。

【図6】図4のセクタによる識別信号に対応した選択内容を示す図。

【図7】図4のアドレスデコーダの入力信号とROMから読出される画像データの対応を示す図。

【図8】従来の液晶パネル駆動装置全体の回路構成を示すブロック図。

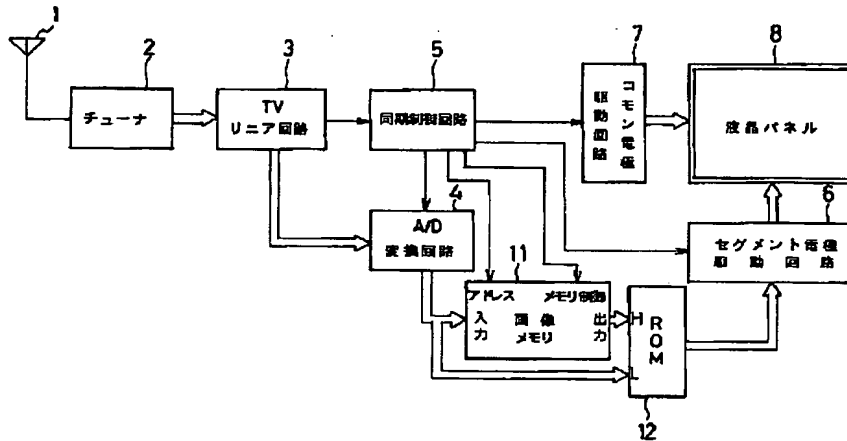
【図9】図8の変換データに対応した表示駆動波形を示す図。

【符号の説明】

1 …テレビアンテナ、2 …チューナ、3 …テレビリニア

回路、4 …A/D変換器、5 …同期制御回路、6 …セグメント駆動回路、7 …コモン駆動回路、8 …液晶パネル、11、21…画像メモリ、12、24…ROM、22…比較回路、23…アドレスデコーダ、25…セレクト。

【図1】



【図6】

S1	S0	P出力
0	0	I
0	1	J
1	0	K
1	1	L

【図2】

		Low アドレス							
Highアドレス	A ₂	0	0	0	0	1	1	1	1
	A ₁	0	0	1	1	0	0	1	1
	A ₀	0	1	0	1	0	1	0	1
	A ₀ A ₁ A ₂								
	0 0 0	0	2	4	5	6	7	7	7
	0 0 1	0	1	3	4	6	7	7	7
	0 1 0	0	0	2	4	5	7	7	7
	0 1 1	0	0	1	3	5	7	7	7
	1 0 0	0	0	1	2	4	6	7	7
	1 0 1	0	0	0	2	3	5	7	7
	1 1 0	0	0	0	1	2	4	6	7
	1 1 1	0	0	0	0	1	3	5	7

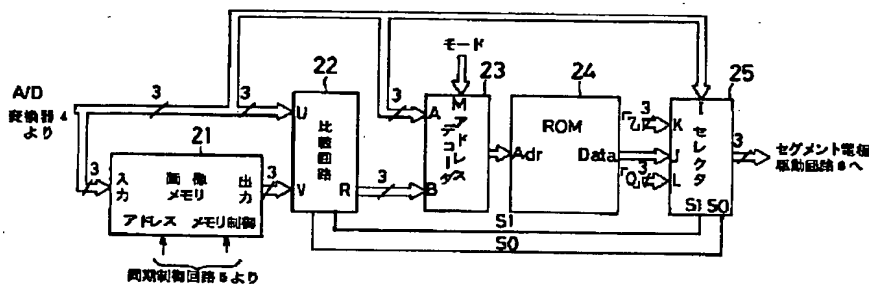
【図3】

フレーム	0	1	2	3	4	5	6	7	8	9
A/D からの 画素データ	0	→4	→7	→5	→1	→3	→4	→0	→7	→6
ROM からの 画素データ	*	→6	→7	→3	→0	→4	→5	→0	→2	→7

【図7】

		今回の階調 (A)					
階調差 (B)	0	1	2	3	4	5	6
	+3					5	6
	+2					3	5
	+1					1	2
	-1					0	1
	-2					0	1

【図4】

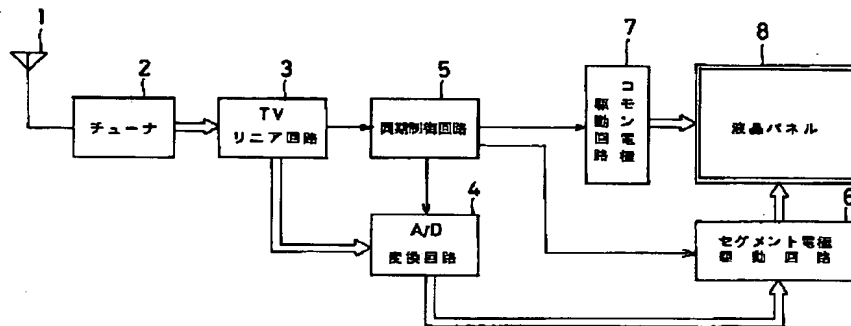


【図5】

U-V	S1	S0	R
4以上	1	0	*
1-3	0	1	U-V
0	0	0	*
-3~-1	0	1	U-V
-4以下	1	1	*

0: Lowレベル
1: Highレベル
*: 不定

【図8】



【図9】

